

09673666

533 Rec'd PCT/PTO 11 JUL 2002

PATENT COOPERATION TREATY



PCT

COMMUNICATION OF
INTERNATIONAL APPLICATIONS

(PCT Article 20)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as designated Office

Date of mailing:

09 July 2002 (09.07.02)

The International Bureau transmits herewith copies of the international applications having the following international application numbers and international publication numbers:

International application no.:

PCT/FR00/00593

International publication no.:

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

EXEMPLAIRE ORIGINAL PCT

REQUETE

Le soussigné requiert que la présente demande internationale soit traitée conformément au Traité de coopération en matière de brevets.

Réservé à l'office récepteur	
Demande internationale n° PCT/FR00/00593	
Date du dépôt international 10 MARS 2000	
Nom de l'inventeur INDUSTRIELLE PROPRIETE INDUSTRIELLE	
Référence du dossier du déposant ou du mandataire (12 caractères au maximum) 61659	

Cadre n° I TITRE DE L'INVENTION	
Procédé et dispositif d'adressage séquentiel des entrées d'un multiplexeur de circuit d'acquisition de données	
Cadre n° II DEPOSANT	
Nom et adresse : (Nom de famille suivi du prénom; pour une personne morale, désignation officielle complète. L'adresse doit comprendre le code postal et le nom du pays. Le pays de l'adresse indiquée dans ce cadre est l'Etat où le déposant a son domicile si aucun domicile n'est indiqué ci-dessous.) PITOT Christian THOMSON-CSF PROPRIETE INTELLECTUELLE DEPARTEMENT BREVETS 13, av. du Prés. Salvador Allende 94117 ARCUEIL CEDEX FRANCE	<input checked="" type="checkbox"/> Cette personne est aussi inventeur. n° de téléphone n° de télécopieur n° de téléimprimeur
Nationalité (nom de l'Etat) : FRANCE	Domicile (nom de l'Etat) : FRANCE
Cette personne est déposant pour : <input checked="" type="checkbox"/> tous les Etats désignés <input type="checkbox"/> tous les Etats désignés sauf les Etats-Unis d'Amérique <input type="checkbox"/> les Etats-Unis d'Amérique seulement <input type="checkbox"/> les Etats indiqués dans le cadre supplémentaire	
Cadre n° III AUTRE(S) DEPOSANT(S) OU (AUTRE(S)) INVENTEUR(S)	
Nom et adresse : (Nom de famille suivi du prénom; pour une personne morale, désignation officielle complète. L'adresse doit comprendre le code postal et le nom du pays. Le pays de l'adresse indiquée dans ce cadre est l'Etat où le déposant a son domicile si aucun domicile n'est indiqué ci-dessous.) CHOPIN Jean-Michel THOMSON-CSF PROPRIETE INTELLECTUELLE DEPARTEMENT BREVETS 13, av. du Prés. Salvador Allende 94117 ARCUEIL CEDEX FRANCE	Cette personne est : <input type="checkbox"/> déposant seulement <input checked="" type="checkbox"/> déposant et inventeur <input type="checkbox"/> inventeur seulement (Si cette case est cochée, ne pas remplir la suite.)
Nationalité (nom de l'Etat) : FRANCE	Domicile (nom de l'Etat) : FRANCE
Cette personne est déposant pour : <input checked="" type="checkbox"/> tous les Etats désignés <input type="checkbox"/> tous les Etats désignés sauf les Etats-Unis d'Amérique <input type="checkbox"/> les Etats-Unis d'Amérique seulement <input type="checkbox"/> les Etats indiqués dans le cadre supplémentaire	
<input type="checkbox"/> D'autres déposants ou inventeurs sont indiqués sur une feuille annexe.	
Cadre n° IV MANDATAIRE OU REPRESENTANT COMMUN; OU ADRESSE POUR LA CORRESPONDANCE	
La personne dont l'identité est donnée ci-dessous est/a été désignée pour agir au nom du ou des déposants auprès des autorités internationales compétentes, comme: <input checked="" type="checkbox"/> mandataire <input type="checkbox"/> représentant commun	
Nom et adresse : (Nom de famille suivi du prénom; pour une personne morale, désignation officielle complète. L'adresse doit comprendre le code postal et le nom du pays.) BEYLOT Jacques THOMSON-CSF PROPRIETE INTELLECTUELLE DEPARTEMENT BREVETS 13, av. du Prés. Salvador Allende 94117 ARCUEIL CEDEX FRANCE	n° de téléphone 33/ 01 41 48 45 08 n° de télécopieur 33/ 01 41 48 45 01 n° de téléimprimeur THOM 616780F
<input type="checkbox"/> Adresse pour la correspondance: cocher cette case lorsque aucun mandataire ni représentant commun n'est/n'a été désigné et que l'espace ci-dessus est utilisé pour indiquer une adresse spéciale à laquelle la correspondance doit être envoyée.	

Cadre n° V DÉSIGNATION D'ÉTATS

Les désignations suivantes sont faites conformément à la règle 4.9.a) (cocher les cases appropriées; une au moins doit l'être) :

Brevet régional

- ☐ **AP Brevet ARIPO** : GH Ghana, GM Gambie, KE Kenya, LS Lesotho, MW Malawi, SD Soudan, SL Sierra Leone, SZ Swaziland, TZ République-Unie de Tanzanie, UG Ouganda, ZW Zimbabwe et tout autre État qui est un État contractant du Protocole de Harare et du PCT
- ☐ **EA Brevet eurasien** : AM Arménie, AZ Azerbaïdjan, BY Bélarus, KG Kirghizistan, KZ Kazakhstan, MD République de Moldova, RU Fédération de Russie, TJ Tadjikistan, TM Turkménistan et tout autre État qui est un État contractant de la Convention sur le brevet eurasien et du PCT
- ☐ **EP Brevet européen** : AT Autriche, BE Belgique, CH et LI Suisse et Liechtenstein, CY Chypre, DE Allemagne, DK Danemark, ES Espagne, FI Finlande, FR France, GB Royaume-Uni, GR Grèce, IE Irlande, IT Italie, LU Luxembourg, MC Monaco, NL Pays-Bas, PT Portugal, SE Suède et tout autre État qui est un État contractant de la Convention sur le brevet européen et du PCT
- ☐ **OA Brevet OAPI** : BF Burkina Faso, BJ Bénin, CF République centrafricaine, CG Congo, CI Côte d'Ivoire, CM Cameroun, GA Gabon, GN Guinée, GW Guinée-Bissau, ML Mali, MR Mauritanie, NE Niger, SN Sénégal, TD Tchad, TG Togo et tout autre État qui est un État membre de l'OAPI et un État contractant du PCT (si une autre forme de protection ou de traitement est souhaitée, le préciser sur la ligne pointillée) :

Brevet national (si une autre forme de protection ou de traitement est souhaitée, le préciser sur la ligne pointillée) :

- | | |
|---|--|
| <input type="checkbox"/> AE Émirats arabes unis | <input type="checkbox"/> LR Liberia |
| <input type="checkbox"/> AL Albanie | <input type="checkbox"/> LS Lesotho |
| <input type="checkbox"/> AM Arménie | <input type="checkbox"/> LT Lituanie |
| <input type="checkbox"/> AT Autriche | <input type="checkbox"/> LU Luxembourg |
| <input type="checkbox"/> AU Australie | <input type="checkbox"/> LV Lettonie |
| <input type="checkbox"/> AZ Azerbaïdjan | <input type="checkbox"/> MA Maroc |
| <input type="checkbox"/> BA Bosnie-Herzégovine | <input type="checkbox"/> MD République de Moldova |
| <input type="checkbox"/> BB Barbade | <input type="checkbox"/> MG Madagascar |
| <input type="checkbox"/> BG Bulgarie | <input type="checkbox"/> MK Ex-République yougoslave de Macédoine |
| <input type="checkbox"/> BR Brésil | <input type="checkbox"/> MN Mongolie |
| <input type="checkbox"/> BY Bélarus | <input type="checkbox"/> MW Malawi |
| <input type="checkbox"/> CA Canada | <input type="checkbox"/> MX Mexique |
| <input type="checkbox"/> CH et LI Suisse et Liechtenstein | <input type="checkbox"/> NO Norvège |
| <input type="checkbox"/> CN Chine | <input type="checkbox"/> NZ Nouvelle-Zélande |
| <input type="checkbox"/> CR Costa Rica | <input type="checkbox"/> PL Pologne |
| <input type="checkbox"/> CU Cuba | <input type="checkbox"/> PT Portugal |
| <input type="checkbox"/> CZ République tchèque | <input type="checkbox"/> RO Roumanie |
| <input type="checkbox"/> DE Allemagne | <input type="checkbox"/> RU Fédération de Russie |
| <input type="checkbox"/> DK Danemark | <input type="checkbox"/> SD Soudan |
| <input type="checkbox"/> DM Dominique | <input type="checkbox"/> SE Suède |
| <input type="checkbox"/> EE Estonie | <input type="checkbox"/> SG Singapour |
| <input type="checkbox"/> ES Espagne | <input type="checkbox"/> SI Slovénie |
| <input type="checkbox"/> FI Finlande | <input type="checkbox"/> SK Slovaquie |
| <input type="checkbox"/> GB Royaume-Uni | <input type="checkbox"/> SL Sierra Leone |
| <input type="checkbox"/> GD Grenade | <input type="checkbox"/> TJ Tadjikistan |
| <input type="checkbox"/> GE Géorgie | <input type="checkbox"/> TM Turkménistan |
| <input type="checkbox"/> GH Ghana | <input type="checkbox"/> TR Turquie |
| <input type="checkbox"/> GM Gambie | <input type="checkbox"/> TT Trinité-et-Tobago |
| <input type="checkbox"/> HR Croatie | <input type="checkbox"/> TZ République-Unie de Tanzanie |
| <input type="checkbox"/> HU Hongrie | <input type="checkbox"/> UA Ukraine |
| <input type="checkbox"/> ID Indonésie | <input type="checkbox"/> UG Ouganda |
| <input type="checkbox"/> IL Israël | <input checked="" type="checkbox"/> US États-Unis d'Amérique |
| <input type="checkbox"/> IN Inde | <input type="checkbox"/> UZ Ouzbékistan |
| <input type="checkbox"/> IS Islande | <input type="checkbox"/> VN Viet Nam |
| <input type="checkbox"/> JP Japon | <input type="checkbox"/> YU Yougoslavie |
| <input type="checkbox"/> KE Kenya | <input type="checkbox"/> ZA Afrique du Sud |
| <input type="checkbox"/> KG Kirghizistan | <input type="checkbox"/> ZW Zimbabwe |
| <input type="checkbox"/> KP République populaire démocratique de Corée | |
| <input type="checkbox"/> KR République de Corée | |
| <input type="checkbox"/> KZ Kazakhstan | |
| <input type="checkbox"/> LC Sainte-Lucie | |
| <input type="checkbox"/> LK Sri Lanka | |

Cases réservées pour la désignation d'États qui sont devenus parties au PCT après la publication de la présente feuille :

- ☐
- ☐

Déclaration concernant les désignations de précaution : outre les désignations faites ci-dessus, le déposant fait aussi conformément à la règle 4.9.b) toutes les désignations qui seraient autorisées en vertu du PCT, à l'exception de toute désignation indiquée dans le cadre supplémentaire comme étant exclue de la portée de cette déclaration. Le déposant déclare que ces désignations additionnelles sont faites sous réserve de confirmation et que toute désignation qui n'est pas confirmée avant l'expiration d'un délai de 15 mois à compter de la date de priorité doit être considérée comme retirée par le déposant à l'expiration de ce délai. (La confirmation (y compris les taxes) doit parvenir à l'office récepteur dans le délai de 15 mois.)



Cadre n° VI REVENDEICATION DE PRIORITE		<input type="checkbox"/> D'autres revendications de priorité sont indiquées dans le cadre supplémentaire.		
Date de dépôt de la demande antérieure (jour/mois/année)	Numéro de la demande antérieure	Lorsque la demande antérieure est une :		
		demande nationale : pays	demande régionale : * office régional	demande internationale : office récepteur
(1) 12.03.99 12 Mars 1999	99 03089	FRANCE		
(2)				
(3)				

☒ L'office récepteur est prié de préparer et de transmettre au Bureau international une copie certifiée conforme de la ou des demandes antérieures (seulement si la demande antérieure a été déposée auprès de l'office qui, aux fins de la présente demande internationale, est l'office récepteur) indiquées ci-dessus au(x) point(s) : 99 03089

* Si la demande antérieure est une demande ARIPO, il est obligatoire d'indiquer dans le cadre supplémentaire au moins un pays partie à la Convention de Paris pour la protection de la propriété industrielle pour lequel cette demande antérieure a été déposée (règle 4.10.b)ii). Voir le cadre supplémentaire.

Cadre n° VII ADMINISTRATION CHARGÉE DE LA RECHERCHE INTERNATIONALE		
Choix de l'administration chargée de la recherche internationale (ISA) (si plusieurs administrations chargées de la recherche internationale sont compétentes pour procéder à la recherche internationale, indiquer l'administration choisie; le code à deux lettres peut être utilisé) : ISA /	Demande d'utilisation des résultats d'une recherche antérieure; mention de cette recherche (si une recherche antérieure a été effectuée par l'administration chargée de la recherche internationale ou demandée à cette dernière) :	
	Date (jour/mois/année)	Numéro Pays (ou office régional)
	01.02.00	FA 578460 FRANCE

Cadre n° VIII BORDEREAU; LANGUE DE DEPOT	
La présente demande internationale contient le nombre de feuilles suivant :	Le ou les éléments cochés ci-après sont joints à la présente demande internationale :
requête : 3 description (sauf partie réservée au listage des séquences) : 24 revendications : 4 abrégé : 1 dessins : 4 partie de la description réservée au listage des séquences : Nombre total de feuilles : <u>39</u> 36	1. <input checked="" type="checkbox"/> feuille de calcul des taxes 2. <input type="checkbox"/> pouvoir distinct signé 3. <input checked="" type="checkbox"/> copie du pouvoir général; numéro de référence, le cas échéant : 8261 4. <input type="checkbox"/> explication de l'absence d'une signature 5. <input checked="" type="checkbox"/> document(s) de priorité indiqué(s) dans le cadre n° VI au(x) point(s) : 6. <input type="checkbox"/> traduction de la demande internationale en (langue) : 7. <input type="checkbox"/> indications séparées concernant des micro-organismes ou autre matériel biologique déposés 8. <input type="checkbox"/> listage des séquences de nucléotides ou d'acides aminés sous forme déchiffrable par ordinateur 9. <input checked="" type="checkbox"/> autres éléments (préciser) : Extrait Journal des Sociétés
Figure des dessins qui doit accompagner l'abrégé : 2	Langue de dépôt de la demande internationale : Français

Cadre n° IX SIGNATURE DU DEPOSANT OU DU MANDATAIRE	
A côté de chaque signature, indiquer le nom du signataire et, si cela n'apparaît pas clairement à la lecture de la requête, à quel titre l'intéressé signe.	
 Jacques BEYLOT	 10, ex du Pr Salvador Allende 94117 ARQUEUIL CEDEX FRANCE

Réservé à l'office récepteur		2. Dessins : <input type="checkbox"/> reçus : <input type="checkbox"/> non reçus :
1. Date effective de réception des pièces supposées constituer la demande internationale :	10 MARS 2000 10/03/2000	
3. Date effective de réception, rectifiée en raison de la réception ultérieure, mais dans les délais, de documents ou de dessins complétant ce qui est supposé constituer la demande internationale :		
4. Date de réception, dans les délais, des corrections demandées selon l'article 11.2) du PCT :		
5. Administration chargée de la recherche internationale (si plusieurs sont compétentes) : ISA /	6. <input type="checkbox"/> Transmission de la copie de recherche différée jusqu'au paiement de la taxe de recherche.	

Réservé au Bureau international	
Date de réception de l'exemplaire original par le Bureau international :	03 AVRIL 2000 (03.04.00)

PROCEDE ET DISPOSITIF D'ADRESSAGE SEQUENTIEL DES ENTREES D'UN MULTIPLEXEUR DE CIRCUIT D'ACQUISITION DE DONNEES

La présente invention concerne l'acquisition de plusieurs
5 grandeurs distinctes en vue de leur exploitation par un système
utilisateur. Elle est relative, plus particulièrement, mais non
exclusivement, à l'acquisition de grandeurs analogiques en vue de leur
exploitation par un système de traitement numérique. De nombreux
systèmes électroniques de traitement numérique nécessitent pour
10 fonctionner des acquisitions périodiques de plusieurs grandeurs
analogiques distinctes de diverses origines. Ces acquisitions se font le
plus souvent au moyen d'un convertisseur analogique-numérique à
échantillonnage équipé en entrée, d'un multiplexeur analogique à
multiples entrées. Le multiplexeur analogique est adressé de manière
15 monotone, par l'intermédiaire d'un ou plusieurs compteurs mis en chaîne
qui comptent à la cadence d'échantillonnage et de conversion du
convertisseur analogique-numérique de manière à avoir l'ensemble de
ses entrées balayées périodiquement.

Lorsque le nombre de grandeurs analogiques à prendre en
20 compte par le système utilisateur est important, le multiplexeur
analogique a une architecture étagée de façon à réduire le nombre de
commutateurs nécessaires pour desservir toutes ses entrées. Pour
assurer un balayage périodique des entrées d'un multiplexeur analogique
à architecture étagée, il est habituel d'adresser chaque étage de
25 commutateurs du multiplexeurs au moyen d'un compteur élémentaire, de
mettre les différents compteurs élémentaires en série et de les
incrémenter en appliquant, à une cadence régulière, des impulsions à
l'entrée de comptage du compteur élémentaire de plus faible poids, les
compteurs élémentaires de poids supérieurs étant incrémentés au moyen
30 des impulsions de débordement des compteurs de poids immédiatement
inférieur.

Cela pose un problème dans la mesure où l'architecture étagée
d'un multiplexeur analogique est rarement utilisée de manière complète,
cette utilisation dépendant du contexte, c'est-à-dire du nombre de
35 grandeurs analogiques dont l'exploitation est effectivement nécessaire
au système utilisateur considéré. C'est ainsi, qu'il est assez fréquent,

qu'un certain nombre d'entrées d'un multiplexeur à architecture étagée ne soient pas utilisées, ces entrées pouvant ne pas être câblées et les commutateurs uniquement affectés à ces entrées inutilisés pouvant être eux-mêmes absents.

5 Une utilisation de la méthode habituelle d'adressage conduit à un balayage systématique de toutes les entrées du multiplexeur rendues possibles par l'architecture étagée, que ces entrées soient utilisées ou non et qu'elles soient câblées ou non. Il en résulte, des opérations inutiles d'acquisition de données qui ralentissent la prise en compte des
10 données utiles et chargent inutilement le système d'exploitation.

La présente invention a pour but un mode d'adressage d'un multiplexeur à architecture étagée, adressé au niveau de chaque étage par un compteur élémentaire chaîné aux compteurs élémentaires des étages inférieurs, permettant un balayage des entrées du multiplexeur
15 n'intéressant que les seules entrées effectivement utilisées, cela afin d'éviter des opérations inutiles.

Elle a pour objet, un procédé d'adressage séquentiel des entrées d'un multiplexeur qui comporte plusieurs étages de commutateurs depuis ses entrées jusqu'à sa sortie et qui est adressé au
20 niveau de chaque étage de commutateurs par un compteur élémentaire pourvu d'une entrée de comptage, d'une entrée de réinitialisation, de sorties de comptage contrôlant les commutateurs de l'étage considéré et d'une sortie de débordement, et chaîné aux compteurs élémentaires des étages inférieurs par raccordement de son entrée de comptage à la sortie
25 de débordement du compteur élémentaire de l'étage inférieur pour constituer un compteur global d'adressage. Ce procédé consiste à utiliser, pour l'adressage de l'étage de commutateurs de plus bas niveau le plus proche des entrées du multiplexeur, un compteur élémentaire à capacité ou longueur de cycle de comptage réglable sur commande, à
30 prévoir des circuits commandables de shuntage des compteurs élémentaires des étages de commutateurs intermédiaires, à engendrer périodiquement un ordre de comptage pour l'entrée de comptage du compteur élémentaire de l'étage de commutateurs de plus bas niveau pour lui faire décrire des cycles successifs de comptage et à ajuster la
35 configuration du compteur global d'adressage, au départ de chacun des

cycles de comptage du compteur élémentaire de l'étage de commutateurs de plus bas niveau, en jouant sur la longueur du cycle de comptage à venir de ce compteur élémentaire de l'étage de commutateurs plus bas niveau ainsi que sur les circuits de shuntage en
5 activité des compteurs élémentaires des étages de commutateurs intermédiaires.

Avantageusement, le procédé d'adressage utilise pour définir les reconfigurations successives du compteur global d'adressage du multiplexeur intervenant au cours d'une séquence de balayage des
10 entrées du multiplexeur, une suite d'instructions écrites dans un langage binaire de reconfiguration comportant des mots de code de réglage de la longueur du cycle de comptage du compteur élémentaire assurant l'adressage de l'étage de commutateurs de plus bas niveau et des mots de code d'activation ou d'inhibition des shuntages des compteurs
15 élémentaires assurant l'adressage des étages de commutateurs intermédiaires.

Avantageusement, le langage de reconfiguration du compteur global d'adressage du multiplexeur comporte également des mots de code d'activation ou d'inhibition d'un mode de répétition ou de maintien
20 de la longueur du cycle de comptage du compteur élémentaire assurant l'adressage global de l'étage de commutateurs de plus bas niveau et un mot de code de répétition uniquement valable lorsque le mode de répétition est actif.

Avantageusement, le langage de reconfiguration du compteur
25 global d'adressage du multiplexeur comporte un mot de code de fin indiquant la fin d'une suite d'instructions de configuration.

Avantageusement, les différents mots de code du langage de reconfiguration du compteur global d'adressage du multiplexeur sont des mots de code binaires de longueurs variables, les mots de code les plus
30 fréquemment utilisés ayant les longueurs les plus courtes.

Avantageusement, les différents mots de code binaires du langage de reconfiguration du compteur global d'adressage du multiplexeur commencent tous par un 0 à l'exception du mot de code du mode de répétition.

Avantageusement, le mot de code de répétition dans le langage de reconfiguration du compteur global d'adressage du multiplexeur est le 0 logique.

Avantageusement, le mot de code d'inhibition du mode de répétition dans le langage de reconfiguration du compteur global d'adressage du multiplexeur est le 1 logique.

Avantageusement, le mot de code d'activation du mode de répétition dans le langage de reconfiguration du compteur global d'adressage du multiplexeur est le 01 binaire.

Avantageusement, dans le cas d'un multiplexeur à trois étages de commutateurs, les mots de code d'activation et d'inhibition du circuit de shuntage du compteur élémentaire adressant le deuxième étage de commutateurs dans le langage de reconfiguration du compteur global d'adressage du multiplexeur sont confondus et exprimés par le mot binaire à quatre bits 0001, ce mot binaire signifiant un changement de l'état actif ou inactif du circuit de shuntage du compteur élémentaire adressant le deuxième étage de commutateurs.

Avantageusement, le mot de code de fin dans le langage de reconfiguration du compteur global d'adressage du multiplexeur est une suite de 0 binaires

Ce mode d'adressage des étages de commutateurs du multiplexeur à l'aide d'une chaîne de compteurs élémentaires comportant un compteur élémentaire pour le premier étage à capacité réglable et des circuits commandables de shuntage des compteurs élémentaires des étages intermédiaires permet d'adapter le balayage des entrées du multiplexeur à la configuration réellement utilisée dans une application donnée en apportant des modifications appropriées à la configuration générale du compteur d'adressage au fur et à mesure du déroulement du comptage. En outre, le langage de commande d'adressage proposé a l'avantage de permettre de définir une séquence de balayage des entrées du multiplexeur à l'aide d'une suite de mots binaires particulièrement compacte, tout en s'adaptant à une grande diversité de configurations pour les entrées du multiplexeur.

L'invention a également pour objet un dispositif d'adressage pour un multiplexeur ayant une architecture étagée avec plusieurs

étages de commutateurs depuis ses entrée jusqu'à sa sortie, dispositif qui est pourvu d'un compteur constitué d'un enchaînement de compteurs élémentaires adressant chacun un étage de commutateurs du multiplexeur. Ce dispositif est remarquable en ce qu'il comporte un
5 compteur d'adressage avec un compteur élémentaire à capacité de comptage réglable sur commande pour l'étage de commutateurs de plus bas niveau le plus proche des entrées du multiplexeur et des circuits commandables de shuntage des compteurs élémentaires des étages de commutateurs intermédiaires, et un automate déroulant une séquence de
10 commandes de reconfiguration du compteur au cours de l'accomplissement de son cycle de comptage.

D'autres avantages et caractéristiques de l'invention ressortiront de la description ci-après de plusieurs exemples de mise en
15 oeuvre. Cette description sera faite en regard du dessin dans lequel :

- une figure 1 montre l'architecture habituelle d'un dispositif électronique pour l'acquisition de plusieurs grandeurs analogiques en vue de leur exploitation par un système électronique de traitement numérique,
- 20 - une figure 2 est un schéma bloc d'un automate de séquencement selon l'invention, prévu pour assurer le contrôle d'un dispositif d'acquisition tel que celui de la figure 1, et
- des figures 3 et 4 sont des schémas illustrant deux exemples différents de multiplexeurs à structure étagée avec un certain nombre
25 d'entrées non câblées, auxquels s'applique l'invention.

L'acquisition de plusieurs grandeurs analogiques distinctes par un système électronique de traitement numérique, se fait souvent, comme représenté à la figure 1, à l'aide d'un circuit d'interface
30 comportant essentiellement :

- un convertisseur analogique-numérique 1,
- un multiplexeur analogique 2 à entrées multiples placé devant l'entrée du convertisseur analogique-numérique, et

- un automate de séquençement 3 contrôlant les fonctionnements du multiplexeur analogique 2 et du convertisseur analogique-numérique 1.

L'automate de séquençement 3 comporte en général un microcontrôleur 4 assurant la gestion des séquences d'acquisition des données, c'est-à-dire l'adressage du multiplexeur 2 afin de balayer ses entrées, et la détermination des instants de conversion du convertisseur analogique-numérique 1. Ce microcontrôleur 4 est associé à une mémoire 5 assurant à la fois le stockage des données numériques en provenance du convertisseur analogique-numérique 1, le temps nécessaire à leur exploitation par un système électronique de traitement numérique utilisateur 6, et le stockage du programme de gestion du microcontrôleur 4.

Ce type d'architecture pour un dispositif d'acquisition de plusieurs grandeurs analogiques distinctes permet de minimiser le matériel et plus particulièrement le nombre de convertisseurs analogique-numérique. Grâce à lui, il est possible de mesurer certaines erreurs systématiques ou lentement variables de la chaîne analogique par l'acquisition périodique de grandeurs connues. Il est couramment utilisé dans des contextes différents avec une cartographie changeante pour les entrées effectivement câblées du multiplexeur.

Chaque cas impliquait une adaptation particulière de la structure logique de l'automate de séquençement pour s'adapter à la cartographie des entrées du multiplexeur si l'on voulait éviter un balayage inutile des entrées non câblées du multiplexeur. En effet, jusqu'alors, l'adaptation au contexte à partir du seul programme de gestion du microcontrôleur 4 conduisait à un programme de gestion volumineux réclamant une mémoire 5 de capacité prohibitive.

On propose ici un automate de séquençement, pour les mesures successives de plusieurs grandeurs distinctes, par l'intermédiaire de multiplexeurs pouvant avoir une grande variété de cartographies pour leurs entrées effectivement câblées, tout en restant pilotable à l'aide d'un programme compact ne nécessitant qu'un espace mémoire restreint.

Cet automate prend en compte le fait que l'ordre d'acquisition des grandeurs distinctes est souvent invariable et s'obtient souvent par un balayage monotone des entrées de mesure au moyen d'un compteur. Il prend également en compte le fait que les multiplexeurs sont
5 constitués, dans la majorité des cas, par un ensemble de commutateurs connectés entre eux selon une disposition étagée, cette disposition étagée permettant de réduire le nombre global de commutateurs à nombre égal d'entrées.

Il comporte, de la manière habituelle, un compteur global 10
10 pour l'adressage de l'ensemble des entrées du multiplexeur 2, compteur global qui est obtenu par la mise en chaîne de compteurs élémentaires 11, 12, 13 adressant chacun l'un des étages de commutateurs du multiplexeur. Mais ce compteur global 10 a des caractéristiques spécifiques le rendant reconfigurable à volonté.

15 Le compteur élémentaire 11 assurant l'adressage du premier étage de commutateurs du multiplexeur, celui de plus bas niveau qui est le plus proche des entrées du multiplexeur 2, est équipé d'un circuit commandable 14 de réglage de sa capacité ou longueur de cycle de comptage tandis que le ou les compteurs élémentaires 12 assurant
20 l'adressage des étages intermédiaires de commutateurs sont doublés de circuits commandables 15 de shuntage.

Ce compteur global 10 reconfigurable peut être réalisé en logique câblée ou, de manière plus habituelle, à partir d'un banc de registres mémoire et de circuits logiques permettant de manipuler leurs
25 contenus, comme on trouve habituellement dans les microcontrôleurs. Il est associé, au sein de l'automate de séquençement, à un circuit 20 de contrôle de configuration.

Le circuit 20 de contrôle de configuration du compteur global 10 est commandé par un séquenceur 21. Ce dernier a un accès à la
30 mémoire 5 dans laquelle il récupère des instructions de reconfiguration qui y sont stockées, et possède des moyens 22 pour interpréter des instructions de reconfiguration, intercalés devant le circuit 20 de contrôle de configuration.

En plus de ces différents éléments, l'automate de
35 séquençement 3 comporte aussi des moyens 23 de pilotage du

convertisseur analogique-numérique 1 et un circuit d'horloge 24 délivrant des impulsions de comptage et de cadencement de la prise d'échantillons par le convertisseur analogique-numérique 1.

Les instructions de reconfiguration utilisent un contexte
5 dynamique et un codage binaire à longueur variable.

Le contexte dynamique est défini par l'état établi ou non d'un mode de répétition ou de maintien de la capacité ou de la longueur du cycle de comptage du compteur élémentaire de plus bas niveau et par les états actif ou inactif des circuits de shuntage des compteurs
10 élémentaires intermédiaires. Il est repéré dans le séquenceur 21, au niveau des moyens 22 d'interprétation des instructions de reconfiguration, à l'aide de bits d'information figurant dans un registre de contexte mis à jour au fur et à mesure des instructions de reconfiguration reçues, interprétées et exécutées. Il permet de
15 sélectionner les instructions de reconfiguration applicables dans l'instant en fonction de la situation. Cette sélection diminue le nombre de confusions possibles entre les instructions de reconfiguration et permet de raccourcir les mots de codes qui leur sont attribués.

Le codage binaire à longueur variable rassemble des mots de
20 code d'activation ou d'inhibition du mode de répétition qui est désarmé par défaut, des mots de code de réglage de la capacité ou de la longueur du cycle de comptage du compteur élémentaire de plus bas niveau, des mots de code d'activation ou d'inhibition des circuits de shuntage des compteurs élémentaires intermédiaires, lesdits circuits de shuntage étant
25 inactifs par défaut, et un mot de code de fin indiquant la fin d'un programme d'acquisition de mesures.

Les mots de code les plus courts sont réservés aux instructions les plus fréquentes et ceux les plus longs aux instructions les moins utilisées. C'est ainsi que le mot de code le plus long est
30 réservé à l'instruction de fin d'une suite d'instructions de reconfiguration.

De plus, chaque fois que le contexte le permet, c'est-à-dire qu'il n'y a pas d'ambiguïté, un bit de début de mot de code identique au bit de fin du mot de code immédiatement précédent n'est pas répété
35 mais reconstitué par le circuit d'interprétation des instructions de

reconfiguration du circuit de pilotage. Cela permet de réduire encore la longueur d'une suite de mots de code à mémoriser.

Pour un nombre de grandeurs analogiques distinctes à acquérir
5 de quelques dizaines, une organisation pyramidale en trois étages de commutateurs cascades est amplement suffisante pour le multiplexeur 2. En effet, une telle organisation, avec un premier étage occupé par une rangée de multiplexeurs élémentaires à huit entrées redirigées vers une sortie unique, avec un deuxième étage moins peuplé, occupé par une
10 rangée de multiplexeurs à seize entrées redirigées vers une unique sortie, et avec un troisième étage occupé par un multiplexeur élémentaire à seize entrées redirigées vers une unique sortie, il est possible d'accéder à $8 \times 16 \times 16$ ou 2.048 grandeurs analogiques distinctes ce qui est considérablement plus élevé que les besoins envisageables, des
15 limitations apparaissant bien avant en raison de la complexité croissante du câblage.

On se limitera donc, dans les exemples donnés ultérieurement en regard des figures 3 et 4 à des multiplexeurs 2 organisés de cette façon, en trois étages 30, 31, 32 de commutateurs cascades, avec un
20 premier étage de commutateurs de plus bas niveau, celui qui est au contact de ses entrées, constitué d'une rangée de multiplexeurs élémentaires à au plus huit entrées redirigées vers une unique sortie adressables par un mot binaire de trois bits, avec un deuxième étage de commutateurs constitués d'une rangée moins peuplée de multiplexeurs
25 élémentaires à seize entrées redirigées vers une unique sortie adressables par un mot binaire à quatre bits et avec un troisième et dernier étages de commutateurs constitués d'un multiplexeur élémentaire à seize entrées redirigées vers une unique sortie adressable par un mot binaire à quatre bit. Bien entendu, ce n'est pas une
30 limitation, le nombre d'étages de commutateurs cascades pouvant être modifié à la hausse comme à la baisse ainsi que le nombre des entrées des multiplexeurs élémentaires de chaque étage.

Le balayage monotone de l'ensemble des entrées possibles de ce genre de multiplexeurs peut être obtenu avec un adressage au moyen
35 d'un compteur global constitué d'une chaîne de trois compteurs

élémentaires 11, 12, 13 qui délivrent, le premier 11, les trois bits nécessaires à l'adressage des commutateurs du premier étage, qui sont les plus proches des entrées du multiplexeur 2, le deuxième 12, les quatre bits nécessaires à l'adressages du deuxième étage de commutateurs et le troisième, les quatre bits nécessaires à l'adressage des commutateurs du troisième étage, qui sont les plus proches de la sortie du multiplexeur 2.

On propose alors, pour restreindre le plus possible le balayage aux entrées effectivement utilisées du multiplexeur 2, d'utiliser pour compteur élémentaire 11 de plus bas niveau adressant l'étage 30 de commutateurs qui est le plus proche des entrées du multiplexeur, un compteur élémentaire 11 ayant une capacité de comptage réglable de 1, 2, 4 ou 8, et de doubler le deuxième compteur élémentaire 12 du niveau intermédiaire par un circuit commandable de shuntage 15.

Avec cette composition, le compteur global d'adressage du multiplexeur peut prendre, sur commande, différentes configurations en fonction de la capacité de comptage 1, 2, 4, 8 choisie pour son compteur élémentaire 11 de premier niveau et de l'état actif ou passif du circuit commandable 15 de shuntage.

La possibilité de réglage de la longueur du cycle de comptage du premier compteur élémentaire 11 permet de n'utiliser que une, deux ou quatre entrées de chacun des multiplexeurs élémentaires du premier étage du multiplexeur 2, la possibilité de n'utiliser qu'une entrée revenant à shunter purement et simplement le multiplexeur élémentaire concerné et à le remplacer par une simple connexion.

La possibilité de shunter ou non le deuxième compteur élémentaire 12 permet de ne pas utiliser certains multiplexeurs élémentaires du deuxième étage du multiplexeur 2, ce qui revient purement et simplement à shunter ces multiplexeurs élémentaires du deuxième étage et à les remplacer par une connexion directe.

Ces différentes configurations sont obtenues, comme indiqué précédemment, à l'aide d'instructions de reconfiguration faisant appel à un contexte dynamique.

Le contexte dynamique est ici identifié par les valeurs prises par les deux bits d'un registre de contexte, l'un signalant l'état actif ou

inactif d'un mode répétition, l'autre signalant l'état d'activation ou d'inhibition du circuit commandable 15 de shuntage du deuxième compteur élémentaire intermédiaire 12.

Les mots de code binaires utilisés pour les instructions de
5 reconfiguration sont ici :

- | | |
|----|--|
| 0 | pour une instruction de maintien de la configuration. |
| 10 | Ce mot de code est utilisable uniquement lorsque le mode de répétition est armé. Le nombre de zéros indique dans ce cas, le nombre de fois où la répétition doit s'appliquer. |
| 1 | pour une instruction de fin de mode de répétition. |
| 15 | Ce mot de code est utilisable uniquement lorsque le mode de répétition est armé car il sert à désarmer ce mode. Il met fin à une séquence de zéros indiquant un nombre de répétitions et doit être utilisé comme séparateur lorsque le mot de code suivant ne commence pas par la séquence |
| 20 | 01. |
| 01 | pour une instruction de début de mode de répétition. |
| 25 | Ce mot de code indique à la fois le début d'un mode de répétition et la répétition du dernier mot de code explicite. |
| 30 | Lorsque le mode de répétition est armé, le mot de code suivant doit impérativement commencer par un 0, la séquence 11 étant interdite. Cette limitation fait que le mode de répétition ne doit être armé que si le nombre de répétitions d'un même ordre dépasse 2. Dans le cas contraire, on se contentera de répéter le mot de code à rejouer ce qui sera moins coûteux en bits de codage. |
| 35 | Par défaut, au début d'une séquence de mots de code, le mode de répétition est inactif. |

- 001 pour une instruction de réglage à 1 de la capacité de
comptage du compteur élémentaire 11 de premier niveau.
- 5 Ce mot de code indique une séquence de une mesure
suivie d'une remise à zéro du compteur élémentaire 11 de
premier niveau pour qu'il entame un nouveau cycle de
comptage.
- 10 Ce mot de code ne permet pas une sortie automatique du
mode de répétition et doit être précédé du mot de code 1
s'il fait suite à une séquence de répétition où le mode de
répétition a été activé.
- 15 011 pour une instruction de réglage à 2 de la capacité de
comptage du compteur élémentaire 11 de premier niveau.
- 20 Ce mot de code indique une séquence de deux mesures
suivie d'une remise à zéro du compteur élémentaire 11 de
premier niveau pour qu'il entame un nouveau cycle de
comptage.
- 25 Ce mot de code commençant par la séquence 01 peut
mettre fin à un mode de répétition. Dans ce cas, le 0 de
début de ce mot de code est aussi interprété comme le
dernier 0 de la séquence de répétition. Cela permet une
contraction de la séquence de mots de code.
- 30 0011 pour une instruction de réglage à 4 de la capacité de
comptage du compteur élémentaire 11 de premier niveau.
- 35 Ce mot de code indique une séquence de quatre mesures
suivie d'une remise à zéro du compteur élémentaire 11 de
premier niveau pour qu'il entame un nouveau cycle de
comptage.
- Ce mot de code ne permet pas une sortie automatique du
mode de répétition et doit être précédé du mot de code 1

s'il fait suite à une séquence de répétition où le mode de répétition a été activé.

5 0111 pour une instruction de réglage à 8 de la capacité de comptage du compteur élémentaire 11 de premier niveau.

10 Ce mot de code indique une séquence de huit mesures suivie d'une remise à zéro du compteur élémentaire 11 de premier niveau pour qu'il entame un nouveau cycle de comptage.

15 Ce mot de code commençant par la séquence 01 peut mettre fin à un mode de répétition. Dans ce cas, le 0 de début de ce mot de code est aussi interprété comme le dernier 0 de la séquence de répétition. Cela permet une contraction de la séquence des mots de code.

20 0001 pour une instruction de changement de l'état actif ou inactif du circuit commandable 15 de shuntage du compteur élémentaire 12 de deuxième niveau.

25 Par défaut, au début d'une séquence, le circuit commandable 15 de shuntage du compteur élémentaire 12 de deuxième niveau est à l'état inactif.

30 Lorsqu'il est rencontré pour la première fois, ce mot de code permet de shunter le compteur élémentaire 12 de deuxième niveau. Lorsqu'il a été exécuté, les impulsions de débordement ou de fin de cycle de comptage du compteur élémentaire 11 de premier niveau sont appliquées directement au compteur élémentaire 13 de troisième niveau. Accessoirement, elles servent aux remises à zéro des compteurs élémentaires 11, 12 de premier et de deuxième niveaux.

35 0000 pour une instruction de fin de séquence de mots de code.

5 Ce mot de code est utilisable uniquement lorsque le mode de répétition n'est pas armé. Il indique la fin du programme d'acquisition des mesures. Il permet de terminer une séquence de codes avant d'atteindre la condition par défaut (rebouclage d'un pointeur d'instructions de configuration sur la valeur 0 et réinitialisation du registre de contexte).

10 La mémoire 5 qui sert au stockage à court terme, des résultats numériques des acquisitions de grandeurs analogiques, le temps de leurs prises en compte par le système numérique d'exploitation utilisateur, et au stockage à long terme de la séquence des mots de code traduisant les instructions de reconfiguration correspondant à un balayage de l'ensemble des grandeurs analogique est une mémoire vive RAM. Pour
15 un nombre de grandeurs distinctes à acquérir de quelques dizaines, comme c'est le cas des exemples qui vont être décrits, cette mémoire vive peut être organisée en mots binaires de seize bits et avoir une capacité de l'ordre de 128 mots de seize bits. Ces 128 mots sont divisés en deux groupes, un premier groupe de n mots réservé au stockage des
20 échantillons numériques résultant des acquisitions des grandeurs analogiques et un deuxième groupe de N-n mots réservé au stockage de la séquence d'instructions de reconfiguration personnalisant le balayage choisi pour en exclure les entrées du multiplexeur ne menant pas aux grandeurs analogiques recherchées.

25 Si l'écriture des échantillons numériques des grandeurs analogiques acquises s'effectue dans la mémoire vive 5 dans l'ordre croissant des adresses à partir de l'adresse zéro, il est préférable de stocker la séquence d'instructions de reconfiguration dans l'ordre décroissant des adresses à partir de N. De cette façon, on s'assure que
30 N-n mots sont disponibles pour personnaliser le balayage.

Il est également préférable de mettre en place un processus de saturation automatique lors de l'acquisition d'échantillons numériques en provenance du convertisseur analogique-numérique de façon à interdire les mots binaires de valeurs h000 ou hFFFF, ces derniers étant
35 systématiquement remplacés par les valeurs h0001 ou hFFFE. Ce

subterfuge permet de garder les deux codes libres pour signaler aux moyens 23 de pilotage du convertisseur analogique-numérique 1, un problème de conversion (code hFFFF) et un non rafraîchissement depuis la dernière lecture (code h0000).

5

La figure 3 donne un exemple de cartographie des entrées réellement utilisées du multiplexeur 2 dans un premier contexte d'application. Celles-ci ne sont qu'au nombre de 71 alors qu'elles pourraient être au nombre de 2.048. L'adressage se fait, comme
10 précédemment, à l'aide d'une chaîne de trois compteurs élémentaires 11, 12, 13, le premier 11 ayant une capacité de comptage de 8 et les deux autres 12 et 13 ayant une capacité de comptage de 16.

Le premier étage 30 de commutateurs, le plus proche des entrées, comporte seulement une rangée de douze multiplexeurs
15 élémentaires réellement câblés, certains 303, 304, 305, 309, 310, 311 ayant deux entrées, d'autres 301, 307 quatre entrées, d'autres enfin, 302, 306, 306, 312 huit entrées.

Le deuxième étage 31 de commutateurs se réduit à un seul multiplexeur élémentaire câblé 315 à seize entrées. Ce multiplexeur
20 élémentaire 315 rassemble les sorties d'un sous-ensemble de multiplexeurs élémentaires (301, 302, 303, 304, 305, 306) de différentes capacités en nombre d'entrées, du premier étage 30 et accède directement à un certain nombre d'entrées (27 à 36).

Le troisième étage 32 de commutateurs se réduit également à
25 un seul multiplexeur élémentaire câble 316 à seize entrées. Celui-ci rassemble la sortie du multiplexeur élémentaire 315 du deuxième étage 31 avec les sorties des multiplexeurs élémentaires restant (307, 308, 309, 310, 311, 312) du premier étage 30 qui ont aussi différentes capacités en nombre d'entrées, et accède directement à un certain
30 nombre d'entrées (63 à 71) non desservies par les premier et deuxième étages 30 et 31 de commutateurs.

La séquence de mots de code d'instruction de reconfiguration permettant de ne balayer que les entrées existantes du multiplexeur 2
35 représenté à la figure 3, ne nécessite que 63 bits pour sa

programmation, soit seulement quatre mots de seize bits en mémoire 5.
Elle se définit par la suite binaire :

011 0111 011 01 0111 001 01 00000000 1 0001 0011 0111 011 01 011 001 01 0000000

5 Son effet est le suivant :

Le premier mot de code reconnu dans la séquence est 0011
car le premier 0 est implicite. En effet le mode de répétition est désarmé
en début de séquence ce qui supprime la possibilité des codes à un bit 0
10 et 1 et tous les autres mots de code commencent par un 0. On en
profite pour sous-entendre ce 0 et réduire la longueur d'une séquence de
mots de code. Ainsi, le mot de code à reconnaître en début de séquence
comporte au moins deux bits dont un 0 en début. On fait donc
l'hypothèse que le mot de code comporte au moins les deux digits 00.
15 Ces deux digits ne correspondent à aucun code d'instruction licite. On
en déduit que le mot de code doit être plus long. On s'intéresse alors au
mot 001. Celui-ci comporte un 1, il doit alors être suivi d'un 0 comme
tous les codes licites d'instruction renfermant un 1. Ce n'est pas le cas,
donc le mot de code doit être plus long. On s'intéresse alors au mot de
20 code 0011. Il s'agit du mot de code correspondant à une instruction de
réglage à la valeur 4 de la longueur du cycle de comptage du premier
compteur élémentaire 11. Ce cycle se déroule provoquant, d'une part, le
balayage des entrées 1 à 4 du premier multiplexeur élémentaire 301 de
la rangée du premier étage de commutateurs du multiplexeur 2
25 correspondant aux adresses générales :XX0 0000 0000 délivrées par le
compteur global et d'autre part, l'incrémentation du deuxième compteur
élémentaire 12.

On remarque ici que l'on utilise l'absence de possibilité de confusion
pour rendre implicites certains digits de la séquence de codes
30 d'instruction, cela dans le but de diminuer la taille de la séquence et
réduire la place qu'elle occupe en mémoire.

Le deuxième mot de code reconnu est 0111. En effet, le mode
de répétition étant désarmé, l'instruction a plus d'un digit. Comme
précédemment, l'instruction comporte un 1 en deuxième position donc
35 elle doit se terminer par un 1 précédant un 0. Il s'agit donc du code

0111 correspondant à une instruction de réglage à la valeur 8 du cycle de comptage du premier compteur élémentaire 11. Ce cycle se déroule provoquant le balayage des entrées 5 à 12 du deuxième multiplexeur élémentaire 302 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales XXX 1000 0000 et une nouvelle incrémentation du deuxième compteur élémentaire 12.

Le troisième mot de code reconnu est 011 pour les mêmes raisons que précédemment. Il correspond à une instruction de réglage à la valeur 2 du cycle de comptage du premier compteur 11. Ce cycle se déroule provoquant le balayage des entrées 13, 14 du troisième multiplexeur élémentaire 303 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales X00 0100 0000 et une nouvelle incrémentation du deuxième compteur élémentaire 12.

Le quatrième mot de code reconnu est 01 toujours pour les mêmes raisons que précédemment. Il correspond à un ordre d'activation du mode de répétition doublé d'une commande de répétition. La longueur du cycle de comptage du premier compteur élémentaire 11 reste fixée à la valeur 2. Ce cycle de comptage se déroule provoquant le balayage des entrées 15, 16 du quatrième multiplexeur élémentaire 304 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales X00 1100 0000 et une nouvelle incrémentation du deuxième compteur élémentaire 12. Simultanément, le bit du registre de contexte correspondant au mode de répétition est armé.

Le cinquième mot de code reconnu est 0 car les seuls mots de code licites en présence d'un mode de répétition armé sont des mots de code à un digit. Ce mot de code correspond au maintien de la configuration précédente. La longueur du cycle de comptage du premier compteur élémentaire 11 reste fixée à la valeur 2. Ce cycle de comptage se déroule à nouveau provoquant le balayage des entrées 17, 18 du cinquième multiplexeur élémentaire 305 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales X00 0010 0000. Le bit du registre de contexte correspondant au mode de répétition reste armé.

Le sixième mot de code reconnu est 1 toujours parce que les seuls mots de code licites en présence d'un mode de répétition armé sont des mots de code à un digit. Ce mot de code correspond à une instruction d'arrêt du mode de répétition. Il provoque le changement d'état du bit du registre de contexte correspondant au mode de répétition qui prend la valeur désarmée. L'exécution de cette instruction est immédiatement suivie de la prise en compte du mot de code suivant, avant même l'adressage d'une autre entrée du multiplexeur 2.

Le septième mot de code reconnu est 0111. En effet, on se trouve dans un contexte de mode de répétition désarmé qui implique que les mots de codes licites ont plus de un digit. Comme le premier digit rencontré a la valeur 1, le mot de code recherché doit se terminer par un 1 précédé d'un 0. Le mot de code recherché se termine donc par 11. Il s'agit là d'un mot de code incomplet car il n'y a pas de code licite d'instruction de ce type. Le début du mot de code doit être recherché en amont. En amont, on trouve un autre 1. Le mot de code recherché se termine donc par 111. On retombe sur le même problème que précédemment car il n'y a pas de mot de code licite d'instruction de ce type. il s'agit encore d'un mot de code incomplet qui doit être complété en amont. En amont on trouve un 0, ce qui amène à tester le chiffre 0111. Celui-ci correspond à un mot de code licite et l'instruction correspondante de réglage à la valeur 8 du cycle de comptage du premier compteur élémentaire 11 est exécutée. Elle est suivie du déroulement du cycle de comptage du premier compteur élémentaire et du balayage des entrées 19 à 26 du sixième multiplexeur élémentaire 306 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales XXX 1010 0000 et une nouvelle incrémentation du deuxième compteur élémentaire 12.

L'absence de possibilité de confusion a permis de ne pas répéter dans la séquence d'instructions les deux premiers digits du septième mot de code qui étaient identiques aux deux derniers digits qui les précédaient. Cela concourt à réduire encore la longueur de la séquence d'instructions toujours dans le but d'économiser de la place en mémoire 5.

Dans la suite binaire correspondant à la séquence d'instructions qui a été donnée précédemment, les bits non répétés ont été repérés par une écriture plus grosse et en gras.

Le huitième mot de code reconnu est 001. En effet, le mode
5 de répétition étant désarmé, le mot de code recherché a plus de un digit. Il a nécessairement plus de deux digits car le mot de code 00 n'est pas licite. Le mot de code recherché comporte donc nécessairement les digits 001. Puisqu'il comporte un chiffre 1, il doit être suivi d'un 0. C'est le cas. Donc le mot de code recherché est 001. Celui-ci correspond à
10 une instruction de réglage à la valeur 1 du cycle de comptage du premier compteur élémentaire 11. L'exécution de cette instruction conduit à maintenir à zéro le premier compteur élémentaire 11 tout en envoyant une impulsion d'incrémentation au deuxième compteur élémentaire 12. Il en résulte le balayage de l'entrée 27 du multiplexeur 2 dont le
15 branchement ne passe par aucun commutateur du premier étage 30 mais uniquement par des commutateurs des deuxième et troisième étages 31 et 32. Cette entrée 27 correspond aux adresses générales XXX 0110 0000.

Le neuvième mot de code reconnu est 01. Il correspond à une
20 instruction d'activation du mode de répétition doublée d'une commande de répétition. Il en résulte un balayage de l'entrée 28 du multiplexeur 2 qui bénéficie d'un branchement analogue à l'entrée 27.

Les huit mots de code suivants reconnus, les dixième au dix-septième, sont 0. ils sont tirés de la suite de huit 0 rencontrée et
25 correspondent à la même instruction de maintien de la configuration précédente. Ils entraînent le balayage des entrées 29 à 36 du multiplexeur 2 qui bénéficient de branchements analogues à celui de l'entrée 27. Ces entrées 29 à 36 ainsi que l'entrée 27 ont pour adresses générales XXX 1110 0000 à XXX 1111 0000. La fin de l'exécution de
30 l'instruction de maintien correspondant au dix-septième mot de code provoque l'incrémentation naturelle du troisième compteur élémentaire 13.

Le dix-huitième mot de code reconnu est 1. Il correspond à la sortie du mode de répétition.

Le dix-neuvième mot de code reconnu est 0001. Il correspond à une commande d'activation du circuit de shuntage 15 du deuxième compteur élémentaire 12. L'exécution de cette commande entraîne accessoirement les remises à zéro des premier et deuxième compteurs
5 élémentaires 11, 12.

Le vingtième mot de code reconnu est 0011. Il correspond à une instruction de réglage à la valeur 4 de la longueur du cycle de comptage du premier compteur élémentaire 11. Ce cycle se déroule provoquant le balayage des entrées 37 à 40 du septième multiplexeur
10 élémentaire 307 de la rangée du premier étage 30 de commutateurs du multiplexeur 2 correspondant aux adresses générales XX0 0000 1000 et une nouvelle incrémentation du troisième compteur élémentaire 13 puisque le circuit de shuntage 15 est actif.

Le vingt-et-unième mot de code reconnu est 0111. Il
15 correspond à une instruction de réglage à la valeur 8 de la longueur du cycle de comptage du premier compteur élémentaire 11. Ce cycle se déroule provoquant le balayage des entrées 41 à 48 du huitième multiplexeur élémentaire 308 de la rangée du premier étage 30 de commutateurs du multiplexeur 2 correspondant aux adresses générales
20 XXX 0000 0100 et une nouvelle incrémentation du troisième compteur élémentaire 13 puisque le circuit de shuntage 15 est actif.

Le vingt-deuxième mot de code reconnu est 011. Il s'agit du mot de code correspondant à une instruction de réglage à la valeur 2 de la longueur du cycle de comptage du premier compteur élémentaire 11.
25 Ce cycle de comptage se déroule provoquant le balayage des entrées 49 et 50 du neuvième multiplexeur élémentaire 309 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales :X00 0000 1100 délivrées par le compteur global et l'incrémentation du troisième compteur élémentaire 13 puisque le circuit
30 de shuntage 15 est toujours actif.

Le vingt-troisième mot de code reconnu est 01. Il correspond à un ordre d'activation du mode de répétition doublé d'une commande de répétition. La longueur du cycle de comptage du premier compteur élémentaire 11 reste fixée à la valeur 2. Ce cycle de comptage se
35 déroule provoquant le balayage des entrées 51 et 52 du dixième

5 multiplexeur élémentaire 310 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales X00 0000 0010 et une incrémentation du troisième compteur élémentaire 13. En outre, le bit du registre de contexte correspondant au mode de répétition est armé.

10 Le vingt-quatrième mot de code reconnu est 0. Il correspond à une instruction de répétition. La longueur du cycle de comptage du premier compteur élémentaire 11 reste fixée à la valeur 2. Ce cycle de comptage se déroule provoquant le balayage des entrées 53 et 54 du onzième multiplexeur élémentaire 311 de la rangée du premier étage de commutateurs du multiplexeur 2 correspondant aux adresses générales X00 0000 1010 et une nouvelle incrémentation du troisième compteur élémentaire 13.

15 Le vingt-cinquième mot de code reconnu est 1. Il correspond à une instruction de fin de mode de répétition. Il provoque le changement d'état du bit du registre de contexte correspondant au mode de répétition qui prend la valeur désarmée. L'exécution de cette instruction est immédiatement suivie de la prise en compte du mot de code suivant, avant même l'adressage d'une autre entrée du multiplexeur 2.

20 Le vingt-sixième mot de code reconnu est 0111. Cette reconnaissance résulte d'une analyse identique à celle menée pour le septième mot de code, qui conduit à compléter le mot binaire examiné par les deux derniers digits 01 des mots de code précédent qui n'ont pas été répétés par souci de réduction de la longueur d'une séquence
25 d'instructions. Il s'agit d'une instruction de réglage à la valeur 8 du cycle de comptage du premier compteur élémentaire 11. Elle est suivie du déroulement du cycle de comptage du premier compteur élémentaire et du balayage des entrées 55 à 62 du douzième multiplexeur élémentaire 312 de la rangée du premier étage de commutateurs du multiplexeur 2
30 correspondant aux adresses générales XXX 0000 1110 et une nouvelle incrémentation du troisième compteur élémentaire 13 puisque le circuit de shuntage 15 est encore actif.

35 Le vingt-septième mot de code reconnu est 001. Il correspond à une instruction de réglage à la valeur 1 du cycle de comptage du premier compteur élémentaire 11. L'exécution de cette instruction

conduit à maintenir à zéro le premier compteur élémentaire 11 tout en envoyant une impulsion d'incrémentation au troisième compteur élémentaire 13. Il en résulte le balayage de l'entrée 63 du multiplexeur 2 dont le branchement ne passe par aucun commutateur du premier ou du second étage 30 ou 31 mais uniquement par des commutateurs du troisième étage 32. Cette entrée 63 correspond aux adresses générales XXX XXXX 1110.

Le vingt-huitième mot de code reconnu est 01. Il correspond à un ordre d'activation du mode de répétition doublé d'une commande de répétition. La longueur du cycle de comptage du premier compteur élémentaire 11 reste fixée à la valeur 1. L'exécution de cet ordre d'activation conduit à maintenir à zéro le premier compteur élémentaire 11 tout en envoyant une impulsion d'incrémentation au troisième compteur élémentaire 13 et en armant le bit du registre de contexte correspondant au mode de répétition. Il en résulte le balayage de l'entrée 64 du multiplexeur 2 dont le branchement ne passe par aucun commutateur du premier ou du second étage 30 ou 31 mais uniquement par des commutateurs du troisième étage 32. Cette entrée 64 correspond aux adresses générales XXX XXXX 0001.

Les sept mots de code suivants reconnus, les vingt-neuvième au trente-cinquième, sont 0. ils sont tirés de la suite des derniers sept 0 rencontrée et correspondent à la même instruction de maintien de la configuration précédente. Ils entraînent le balayage des entrées 65 à 71 du multiplexeur 2 qui bénéficient de branchements analogues à ceux des entrées 63, 64. Elles ont pour adresses générales XXX XXXX 1001 à XXX XXXX 1111.

La fin du balayage est provoquée de manière implicite par le débordement de la chaîne des compteurs élémentaires 11, 12, 13 qui intervient après la scrutation de la dernière entrée numérotée 71.

30

La figure 4 donne un autre exemple de cartographie des entrées réellement utilisées du multiplexeur 2 dans un deuxième contexte d'application. Dans ce deuxième contexte d'application, les entrées réellement utilisées sont au nombre de 107. Le multiplexeur présente toujours trois étages 30, 31, 32 de commutateurs adressés par

35

une chaîne de trois compteurs élémentaires 11, 12, 13, le premier 11 pouvant avoir une capacité de comptage de 8 et les deux autres 12 et 13 ayant une capacité de comptage de 16 permettant un adressage théorique de 2048 entrées.

5 Le premier étage 30 de commutateurs, le plus proche des entrées, comporte seulement une rangée de seize multiplexeurs élémentaires réellement câblés, certains 323, 324, 325, 326, 327, 332, 333, 334, 335 ayant quatre entrées et d'autres 320, 321, 322, 328, 329, 330, 331 huit entrées.

10 Le deuxième étage 31 de commutateurs se réduit à un seul multiplexeur élémentaire câblé 340 à seize entrées. Ce multiplexeur élémentaire 340 rassemble les sorties d'un sous-ensemble de multiplexeurs élémentaires (320, 321, 322, 323, 324, 325, 326, 327) de différentes capacités en nombre d'entrées, du premier étage 30 et
15 accède directement à un certain nombre d'entrées (45 à 52) non desservies par le premier étage de commutateurs.

 Le troisième étage 32 de commutateurs se réduit également à un seul multiplexeur élémentaire câblé 341 à seize entrées. Celui-ci rassemble la sortie du multiplexeur élémentaire 340 du deuxième étage
20 31 avec les sorties des multiplexeurs élémentaires restant (328, 329, 330, 331, 332, 333, 334, 335) du premier étage 30 qui ont aussi différentes capacité en nombre d'entrées, et accède directement à un certain nombre d'entrées (101 à 107) non desservies par les premier et deuxième étages 30 et 31 de commutateurs.

25

La séquence de codes d'instruction de reconfiguration permettant de ne balayer que les entrées existantes du multiplexeur 2 représenté à la figure 4, ne nécessite que 60 bits pour sa programmation, soit seulement quatre mots de seize bits en mémoire 5.

30 Elle se définit par la suite binaire :

```
111 01 0 1 001 01 000 1 001 01 000000 1 0001 0111 01 00 1 0011 01 00 1 001 01
00000
```

 Son effet peut être étudié, comme celui de la séquence de
35 codes d'instruction précédente utilisée pour le balayage des entrées

existantes du multiplexeur représenté à la figure 3, en examinant dans le détail, les conséquences sur l'adressage global de chacune des instructions se succédant dans la séquence. Une telle étude ne pose pas plus de difficultés que dans le cas précédent. Comme elle est

5 relativement longue, elle ne sera pas reconduite mais simplement résumée par un tableau montrant à la fois l'évolution, en décimal, des états des trois étages de compteurs élémentaires assurant de l'adressage global du multiplexeur représenté à la figure 4 et les entrées adressées, en fonction des instructions exécutées au fur et à mesure de

10 leur identification dans la suite binaire.

Séquence de codes	Compteur global			Entrées
	1° étage	2° étage	3° étage	
111 (le premier 0 est implicite)	0...7	0	0	1 - 8
01 (mode de répétition armé)	0...7	1	0	9 - 16
0	0...7	2	0	17 - 24
1 0011 01 000	0...3	3...7	0	25 - 44
1 001 01 000000	0	8...15	0	45 - 52
1 0001 0111 01 00	0...7	0	1...4	53 - 84
1 0011 01 00	0...3	0	5...8	85 - 100
1 001 01 00000 (fin implicite de séquence)	0	0	9...15	101 - 107

Les dispositifs d'acquisition de données qui viennent d'être décrits sont avantageusement réalisés sous la forme de circuits intégrés

15 ou de parties de circuits intégrés, toutes les fonctions d'adressage, de séquencement ou de pilotage étant obtenues à partir de combinaisons de cellules de circuits logiques câblés et/ou de cellules de circuits logiques séquentiels selon la technique habituelle de conception des circuits intégrés.

R E V E N D I C A T I O N S

1. Procédé d'adressage séquentiel des entrées d'un multiplexeur (2) qui comporte plusieurs étages (30, 31, 32) de commutateurs depuis ses entrées jusqu'à sa sortie et qui est adressé au niveau de chaque étage de commutateurs par un compteur élémentaire (11, 12 ou 13) pourvu d'une entrée de comptage, d'une entrée de réinitialisation, de sorties de comptage contrôlant les commutateurs de l'étage (30, 31 ou 32) considéré et d'une sortie de débordement, et chaîné aux compteurs élémentaires des étages inférieurs de commutateurs par raccordement de son entrée de comptage à la sortie de débordement du compteur élémentaire de l'étage inférieur pour constituer un compteur global d'adressage, ledit procédé étant caractérisé en ce qu'il consiste :

- 15 - à utiliser, pour l'adressage de l'étage (30) de commutateurs de plus bas niveau le plus proche des entrées du multiplexeur (2), un compteur élémentaire (11, 14) à capacité ou longueur de cycle de comptage réglable sur commande,
- à prévoir des circuits commandables (15) de shuntage des compteurs élémentaires (12) des étages (31) de commutateurs intermédiaires,
- 20 - à engendrer périodiquement un ordre de comptage pour l'entrée de comptage du compteur élémentaire (11) de l'étage de commutateurs de plus bas niveau pour lui faire décrire des cycles successifs de comptage, et
- 25 - à ajuster la configuration du compteur global d'adressage, au départ de chacun des cycles de comptage du compteur élémentaire (11) de l'étage de commutateurs de plus bas niveau, en jouant sur la longueur du cycle de comptage à venir de ce compteur élémentaire (11, 14) de l'étage de commutateurs plus bas niveau ainsi que sur les circuits de shuntage (15) en activité des compteurs élémentaires des étages de commutateurs intermédiaires.
- 30

2. Procédé selon la revendication 1, caractérisé en ce que les reconfigurations successives du compteur global (11, 12, 13) d'adressage du multiplexeur (2) intervenant au cours d'une séquence de

35

balayage des entrées du multiplexeur, sont définies à l'aide d'une suite d'instructions écrites dans un langage binaire de reconfiguration comportant des mots de code de réglage de la longueur du cycle de comptage du compteur élémentaire (11, 14) assurant l'adressage de l'étage (30) de commutateurs de plus bas niveau et des mots de code d'activation ou d'inhibition des circuits commandables de shuntage (15) des compteurs élémentaires (12) assurant l'adressage des étages (31) de commutateurs intermédiaires.

10 3. Procédé selon la revendication 2, caractérisé en ce que le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) comporte également des mots de code d'activation ou d'inhibition d'un mode de répétition ou de maintien de la longueur du cycle de comptage du compteur élémentaire (11, 14) assurant
15 l'adressage de l'étage (30) de commutateurs de plus bas niveau et un mot de code de répétition uniquement valable lorsque le mode de répétition est actif.

20 4. Procédé selon la revendication 2, caractérisé en ce que le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) comporte un mot de code de fin indiquant la fin d'une suite d'instructions de configuration

25 5. Procédé selon la revendication 2, caractérisé en ce que les différents mots de code du langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) sont des mots de code binaires de longueurs variables, les mots de code les plus fréquemment utilisés ayant les longueurs les plus courtes.

30 6. Procédé selon la revendication 3, caractérisé en ce que les différents mots de code binaire du langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) commencent tous par un 0 à l'exception du mot de code d'inhibition d'un mode de répétition.

7. Procédé selon la revendication 3, caractérisé en ce que le mot de code de répétition dans le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) est le 0 logique.

5

8. Procédé selon la revendication 3, caractérisé en ce que le mot de code d'inhibition du mode de répétition dans le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) est le 1 logique.

10

9. Procédé selon la revendication 3, caractérisé en ce que le mot de code d'activation du mode de répétition dans le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) est le 01 binaire.

15

10. Procédé selon la revendication 3, appliqué à un multiplexeur (2) à trois étages (30, 31, 32) de commutateurs, caractérisé en ce que les mots de code d'activation et d'inhibition du circuit commandable (15) de shuntage du compteur élémentaire (12) adressant le deuxième étage (31) de commutateurs dans le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) sont confondus et exprimés par le mot binaire à quatre bits 0001, ce mot binaire signifiant un changement de l'état actif ou inactif du circuit de shuntage (15) du compteur élémentaire (12) adressant le deuxième étage (31) de commutateurs.

25

11. Procédé selon la revendication 4, caractérisé en ce que le mot de code de fin dans le langage de reconfiguration du compteur global (11, 12, 13) d'adressage du multiplexeur (2) est une suite de 0 binaires.

30

12. Dispositif d'adressage pour un multiplexeur (2) ayant une architecture étagée avec plusieurs étages (30, 31, 32) de commutateurs depuis ses entrée jusqu'à sa sortie, comportant un compteur global (10) constitué d'un enchaînement de compteurs élémentaires (11, 12, 13)

35

adressant chacun un étage (30, 31, 32) de commutateurs du multiplexeur (2), caractérisé en ce qu'il comporte un compteur global (10) avec un compteur élémentaire (11) à capacité de comptage réglable sur commande pour l'adressage de l'étage (30) de commutateurs de plus
5 bas niveau le plus proche des entrées du multiplexeur (2) et avec des circuits commandables (15) de shuntage de ses compteurs élémentaires (12) adressant les étages (31) de commutateurs intermédiaires, et un automate (20, 21, 22) déroulant une séquence de commandes de reconfiguration du compteur au cours de l'accomplissement de son cycle
10 de comptage.

A B R E G E

La présente invention concerne l'acquisition systématique, et éventuellement répétée, de plusieurs grandeurs distinctes en vue de leur exploitation par un système utilisateur, cette acquisition se faisant au moyen d'un multiplexeur (2) à architecture étagée n'ayant pas toutes ses entrées câblées. Dans un tel cas, le multiplexeur est adressé, au niveau de chacun de ses étages (30, 31, 32) par un compteur élémentaire (11, 12, 13) mis en chaîne avec les compteurs élémentaires assurant l'adressage des étages inférieurs. Le balayage des entrées s'obtient en incrémentant régulièrement la chaîne de compteurs. Si aucune précaution n'est prise, toutes les entrées du multiplexeur (2) sont balayées sans tenir compte de leurs absences éventuelles. On propose de remédier à cet inconvénient en utilisant un premier compteur élémentaire (11, 14) pour l'adressage du premier étage de commutateurs ayant une capacité de comptage réglable, en équipant les compteurs élémentaires pour l'adressage des étage intermédiaires de commutateurs avec des circuits commandables de shuntage et en reconfigurant le compteur global, à la fin de chaque cycle de comptage du premier compteur élémentaire (12), à l'aide de commandes de réglage de la capacité du premier compteur élémentaire, et d'activation ou d'inhibition des circuits(15) de shuntage mémorisées sous la forme d'une suite d'instructions exécutées une à une.

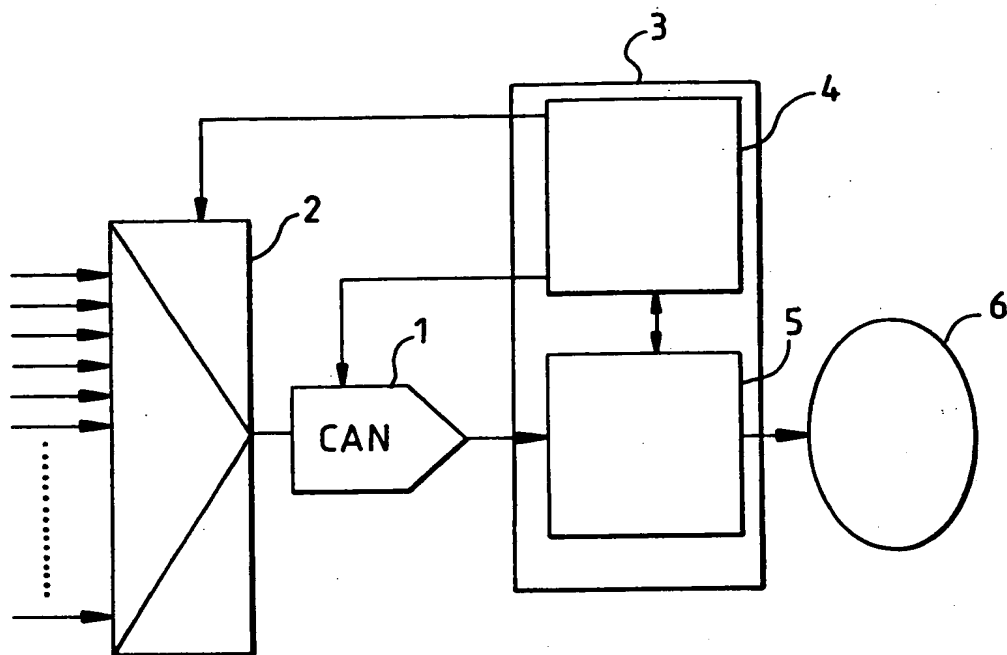


FIG.1

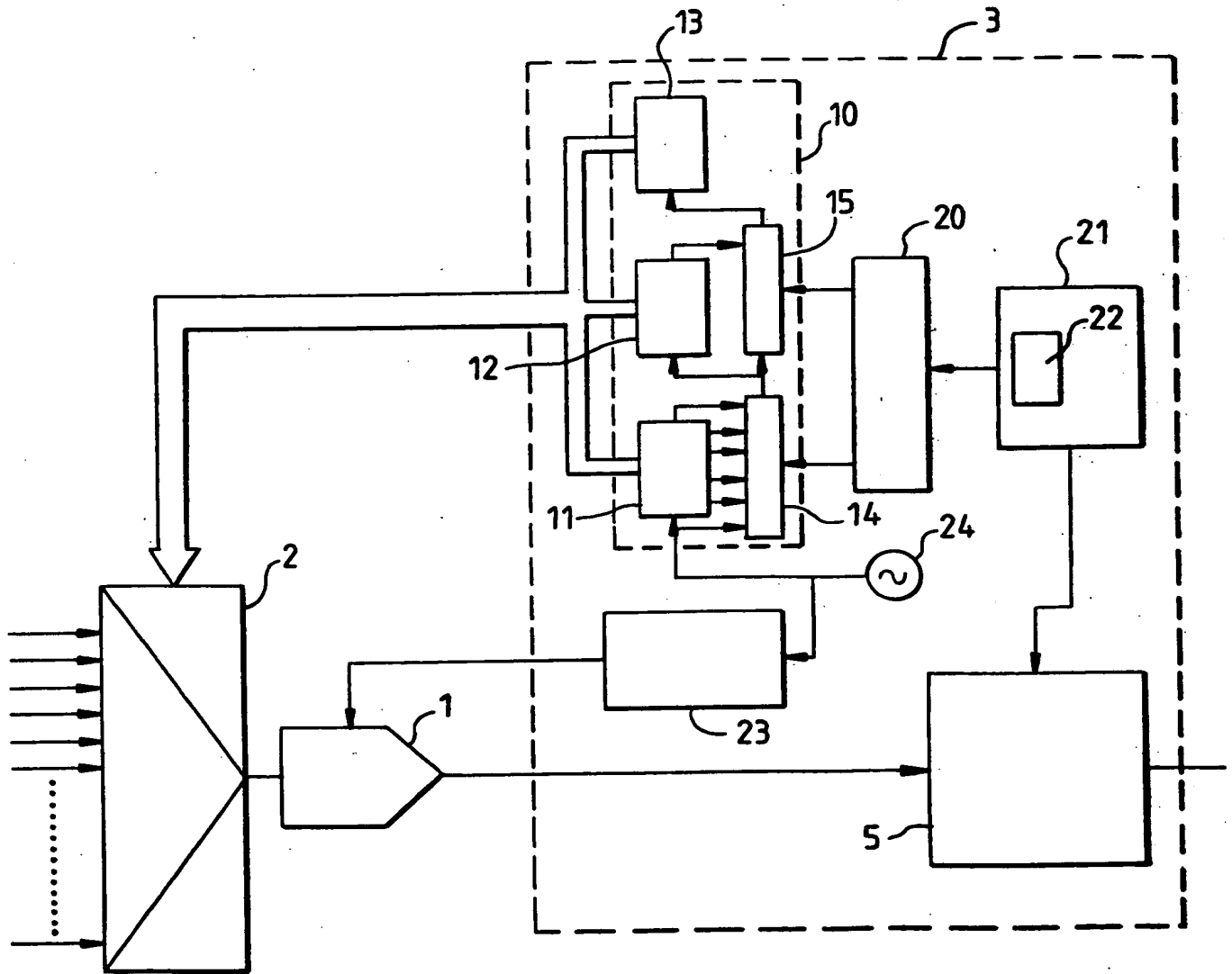


FIG.2

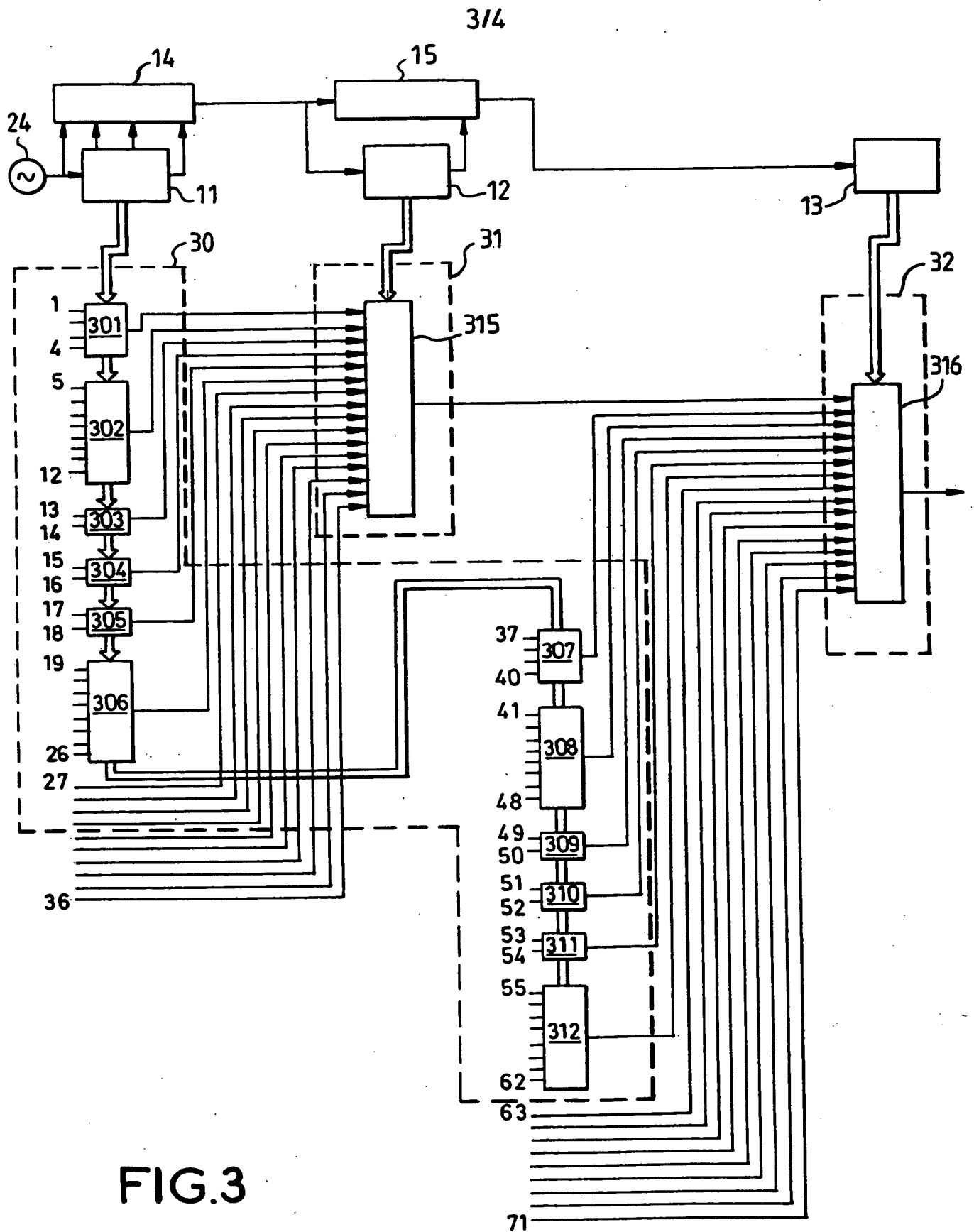


FIG.3

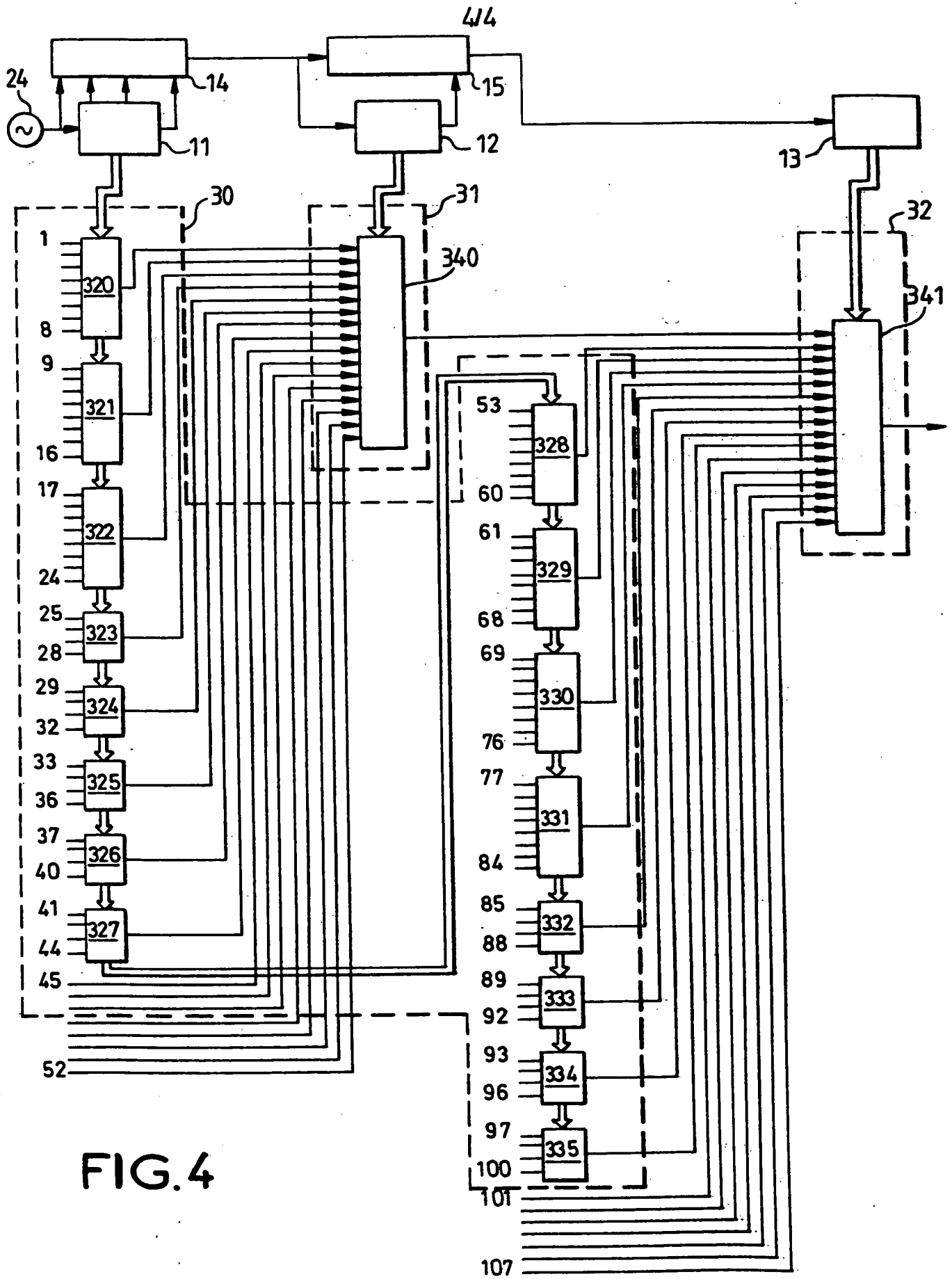


FIG. 4

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

RAPPORT DE RECHERCHE INTERNATIONALE

(article 18 et règles 43 et 44 du PCT)

REC'D 01 MAY 2000

WIPO

PCT

Référence du dossier du déposant ou du mandataire 61659	POUR SUITE voir la notification de transmission du rapport de recherche internationale (formulaire PCT/ISA/220) et, le cas échéant, le point 5 ci-après A DONNER	
Demande internationale n° PCT/FR 00/ 00593	Date du dépôt international (jour/mois/année) 10/03/2000	(Date de priorité (la plus ancienne) (jour/mois/année) 12/03/1999
Déposant PITOT, Christian et al.		

Le présent rapport de recherche internationale, établi par l'administration chargée de la recherche internationale, est transmis au déposant conformément à l'article 18. Une copie en est transmise au Bureau international.

Ce rapport de recherche internationale comprend 3 feuilles.



Il est aussi accompagné d'une copie de chaque document relatif à l'état de la technique qui y est cité.

1. Base du rapport

- a. En ce qui concerne la langue, la recherche internationale a été effectuée sur la base de la demande internationale dans la langue dans laquelle elle a été déposée, sauf indication contraire donnée sous le même point.



la recherche internationale a été effectuée sur la base d'une traduction de la demande internationale remise à l'administration.

- b. En ce qui concerne les séquences de nucléotides ou d'acides aminés divulguées dans la demande internationale (le cas échéant), la recherche internationale a été effectuée sur la base du listage des séquences :



contenu dans la demande internationale, sous forme écrite.



déposée avec la demande internationale, sous forme déchiffrable par ordinateur.



remis ultérieurement à l'administration, sous forme écrite.



remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.



La déclaration, selon laquelle le listage des séquences présenté par écrit et fourni ultérieurement ne vas pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.



La déclaration, selon laquelle les informations enregistrées sous forme déchiffrable par ordinateur sont identiques à celles du listage des séquences présenté par écrit, a été fournie.

2. ☐ Il a été estimé que certaines revendications ne pouvaient pas faire l'objet d'une recherche (voir le cadre I).

3. ☐ Il y a absence d'unité de l'invention (voir le cadre II).

4. En ce qui concerne le titre,



le texte est approuvé tel qu'il a été remis par le déposant.



Le texte a été établi par l'administration et a la teneur suivante:

5. En ce qui concerne l'abrégé,



le texte est approuvé tel qu'il a été remis par le déposant



le texte (reproduit dans le cadre III) a été établi par l'administration conformément à la règle 38.2b). Le déposant peut présenter des observations à l'administration dans un délai d'un mois à compter de la date d'expédition du présent rapport de recherche internationale.

6. La figure des dessins à publier avec l'abrégé est la Figure n°



suggérée par le déposant.



parce que le déposant n'a pas suggéré de figure.



parce que cette figure caractérise mieux l'invention.

2



Aucune des figures n'est à publier.

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G06F17/40

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 4 656 585 A (STEPHENSON EDWARD A) 7 avril 1987 (1987-04-07) colonne 2, ligne 67 - colonne 3, ligne 10 colonne 3, ligne 38 - ligne 42 ---	1-12
A	US 4 654 632 A (YOSHIDA KOICHI ET AL) 31 mars 1987 (1987-03-31) colonne 2, ligne 10 - ligne 27 figure 3 --- -/--	1-12

☒ Voir la suite du cadre C pour la fin de la liste des documents☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

20 avril 2000

Date d'expédition du présent rapport de recherche internationale

02/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Pedersen, N

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>HOSKINS K R: "MULTIPLEX A/D INPUTS WITHOUT SOFTWARE" ELECTRONIC DESIGN, US, PENTON PUBLISHING, CLEVELAND, OH, vol. 46, no. 1, 12 janvier 1998 (1998-01-12), page 160 XP000766907 ISSN: 0013-4872 page 160, colonne 2, ligne 1 - ligne 20</p>	1-12
A	<p>US 5 703 584 A (HILL JOHN P) 30 décembre 1997 (1997-12-30) colonne 2, ligne 50 - colonne 3, ligne 32</p>	1-12

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dem. Internationale No

PCT/FR 00/00593

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 4656585	A	07-04-1987	AU 568194 B	17-12-1987
			AU 3990385 A	27-08-1985
			CA 1239696 A	26-07-1988
			EP 0171424 A	19-02-1986
			IL 74058 A	31-01-1989
			JP 61501112 T	29-05-1986
			WO 8503586 A	15-08-1985
US 4654632	A	31-03-1987	JP 1023805 B	09-05-1989
			JP 1543918 C	15-02-1990
			JP 60237527 A	26-11-1985
			DE 3511023 A	14-11-1985
US 5703584	A	30-12-1997	AUCUN	

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00593

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F17/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 656 585 A (STEPHENSON EDWARD A) 7 April 1987 (1987-04-07) column 2, line 67 - column 3, line 10 column 3, line 38 - line 42 ---	1-12
A	US 4 654 632 A (YOSHIDA KOICHI ET AL) 31 March 1987 (1987-03-31) column 2, line 10 - line 27 figure 3 --- -/--	1-12

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

A document member of the same patent family

Date of the actual completion of the international search

20 April 2000

Date of mailing of the international search report

02/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Pedersen, N

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00593

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	HOSKINS K R: "MULTIPLEX A/D INPUTS WITHOUT SOFTWARE" ELECTRONIC DESIGN, US, PENTON PUBLISHING, CLEVELAND, OH, vol. 46, no. 1, 12 January 1998 (1998-01-12), page 160 XP000766907 ISSN: 0013-4872 page 160, column 2, line 1 - line 20 -----	1-12
A	US 5 703 584 A (HILL JOHN P) 30 December 1997 (1997-12-30) column 2, line 50 - column 3, line 32 -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00593

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4656585	A	07-04-1987	AU 568194 B	17-12-1987
			AU 3990385 A	27-08-1985
			CA 1239696 A	26-07-1988
			EP 0171424 A	19-02-1986
			IL 74058 A	31-01-1989
			JP 61501112 T	29-05-1986
			WO 8503586 A	15-08-1985
US 4654632	A	31-03-1987	JP 1023805 B	09-05-1989
			JP 1543918 C	15-02-1990
			JP 60237527 A	26-11-1985
			DE 3511023 A	14-11-1985
US 5703584	A	30-12-1997	NONE	